

CLIPPEDIMAGE= JP403009530A

PAT-NO: JP403009530A

DOCUMENT-IDENTIFIER: JP 03009530 A

TITLE: MANUFACTURE OF MOS FIELD EFFECT TRANSISTOR

PUBN-DATE: January 17, 1991

INVENTOR-INFORMATION:

NAME

KANAZAWA, MASATO

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRON CORP

COUNTRY

N/A

APPL-NO: JP01144704

APPL-DATE: June 7, 1989

INT-CL (IPC): H01L021/336;H01L021/28 ;H01L029/62
;H01L029/784

US-CL-CURRENT: 438/FOR.360,148/DIG.19 ,438/655

ABSTRACT:

PURPOSE: To reduce resistance and increase operating speed by turning the gate, source, and drain of an MOSFET formed on a semiconductor substrate surface into silicide in the self alignment manner.

CONSTITUTION: The following are provided; two times titanium depositing processes, two times silicide forming process, amorphous silicon depositing process, patterning process of amorphous silicon, dry-etching process of amorphous silicon, impurity introducing process of source and drain, selective etching process, and heat-treating process for activating source and drain

impurity. That is, independently of the first silicide formed process restricted by diffusion layer depths of the source 14 and the drain 15, the thickness of a silicide layer 8 formed by the second silicide forming process can be determined by the deposited film thickness of amorphous silicon 10 and the deposited film thickness of metal titanium 9 in the subsequent process, and sufficient thickness can be obtained. Thereby sheet resistance can be sufficiently reduced.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-9530

⑬ Int. Cl.³H 01 L 21/336
21/28
29/62
29/784

識別記号

3 0 1 S
G

庁内整理番号

7738-5F
7638-5F

⑭ 公開 平成3年(1991)1月17日

8422-5F H 01 L 29/78 3 0 1 P
審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 MOS電界効果トランジスタの製造方法

⑯ 特 願 平1-144704

⑰ 出 願 平1(1989)6月7日

⑱ 発 明 者 金 澤 正 人 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

MOS電界効果トランジスタの製造方法。

2. 特許請求の範囲

半導体基板表面に、選択的に分離領域を形成し、同分離領域により囲まれた活性領域に、ゲート酸化膜を介して多結晶シリコンゲートを形成し、同多結晶シリコンゲートの側面にサイドウォールスペースを形成し、前記多結晶シリコンゲート表面と、ソースとドレインとなる前記半導体基板表面の自然酸化膜を除去したのち、第1の金属チタンを表面に堆積し、窒素雰囲気中で熱処理を施して、シリコンと接触する前記第1の金属チタンをシリサイド化し、また酸化シリコンと接触する前記第1の金属チタンを第1の窒化チタンとし、さらに不純物をイオン注入してソースとドレイン領域を形成し、続いてアモルファスシリコンを全面に堆積し、フォトリソグラフィにより、前記アモルファスシリコンを所定のパターニングにし、さらに第2の金属チタンを全面に堆積し、窒

素雰囲気中で熱処理を施して、先にパターニングした前記アモルファスシリコンと接触する前記第2の金属チタンをシリサイド化してチタンシリサイドとし、前記第1の窒化チタンと接触する前記第2の金属チタンを第2の窒化チタンとし、さらに、選択的な化学反応によるエッチングを行い、前記チタンシリサイドを残し、前記第1と第2の窒化チタンのみを除去し、チタンシリサイドの低抵抗化のため前述の熱処理よりも高温の熱処理を行ない、表面全域に層間絶縁膜を堆積し、前記ソースとドレイン領域に注入した不純物の活性化の熱処理を行うことを特徴とするMOS電界効果トランジスタの製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、ゲートおよびソースとドレインを自己整合的にシリサイド化することにより、低抵抗化を図るMOS電界効果トランジスタ(以後MOSFETと記す)の製造方法に関するものである。

従来の技術

従来のMOSFETの製造方法を第2図に示した工程断面図を参照して説明する。P型の半導体基板1にN型のウェル3を形成し、半導体基板1の表面に、フィールド絶縁膜2を選択的に形成し、フィールド絶縁膜2に囲まれた活性領域にゲート酸化膜6を形成し、ゲート酸化膜6の上に多結晶シリコン膜を形成し、リンドープ後パターニングによりゲート電極5を形成し、ゲート電極の側面にサイドウォールスペーサ4を形成する(第2図A)。さらに、多結晶シリコンのゲート電極5の表面と、ソースとドレインが形成される半導体基板1の表面の自然酸化膜を除去し、金属チタン7を堆積し、連続してその上部にアモルファスシリコン8を堆積する(第2図B)。フォトリソグラフィによりアモルファスシリコン8をパターニングする(第2図C)。

次に窒素雰囲気中で急速熱処理(RTA: Rapid Thermal Annealing)することにより、シリコンと接触する金属チタン7をシリサイド化してチタンシリサイド(TiSix)9とし、酸化シリ

コンと接触する金属チタン7を窒化して窒化チタンとする(第2図D)。さらに、硫酸及び過酸化水素水の混合液等により、選択的に、チタンシリサイド9を残し、窒化チタン10のみを除去し、チタンシリサイド9の低抵抗化のため、前述のRTAよりも高温のRTAを行い、続いてポリシリコンの注入により、MOSFETのソース14とドレイン15を形成する(第2図E)。続いてその上部に層間絶縁膜11(多層)を堆積し、MOSFETのソースとドレインに注入した不純物の活性化のための熱処理を加える(第2図F)。さらに、コンタクト開口部を開け、バリアメタル12とこの上に形成したシリコンを含んだアルミニウム13により上部配線を形成する(第2図G)。

以上のように形成されたMOSFETの製造方法によれば、MOSFETのゲートおよびソース/ドレインが自己整合的にシリサイド化されるために低抵抗化され、デバイス的高速化が図られる。また、ソースとドレインを配線として利用す

ることができ、さらに、第2図Cで示したアモルファスシリコン8のパターニング工程において、フィールド絶縁膜2の上にもアモルファスシリコン8を残しておくため、チタンシリサイド層9を延長することができ、設計上のコンタクト開口部についての制約を緩和することができ、チップサイズが縮小できる等の利点がある。

発明が解決しようとする課題

しかしながら、上記従来のMOSFETの製造方法によれば、一回のチタン堆積工程と、一回のシリサイド化工程により、シリサイド層を形成しているために、ゲート電極5の多結晶シリコン上のシリサイド層の膜厚は、ソースとドレイン上に形成されたシリサイド層の膜厚の制限(拡散層深さに応じ、シリサイド層の膜厚は制約される)により制約されるために、十分にシート抵抗を下げるという効果を得ることができない。さらに、ソースとドレインの活性化のための熱処理によって、シリサイドの形状が劣化し、シート抵抗のばらつきが増大するという問題があった。

本発明は、上記従来の問題点を解決するもので、2回のチタン堆積工程と、2回のシリサイド化工程を備え、ソースとドレイン上のシリサイド層の膜厚の制約に無関係にゲート電極の多結晶シリコン上のシリサイド層を2層構造(TiSi₂/TiN/TiSi₂/Poly-Si構造)にして低抵抗化し、さらに、シート抵抗のばらつきも低減することができるMOSFETの製造方法を提供することを目的とするものである。

課題を解決するための手段

この問題を解決するための本発明のMOSFETの製造方法は、2回のチタン堆積工程と、2回のシリサイド化工程と、アモルファスシリコン堆積工程と、フォトリソグラフィによるアモルファスシリコンのパターニング工程と、アモルファスシリコンのドライエッチング工程と、ソースとドレインの不純物の導入工程と、選択エッチング工程と、層間絶縁膜(多層)形成後、ソースとドレインの不純物の活性化の熱処理工程とを備えたものである。

作用

本発明のMOSFETの製造方法によると、2回目のシリサイド化により形成されるシリサイド層の膜厚は、ソースとドレインの拡散層深さにより制約を受ける1回目のシリサイド化工程と無関係に、アモルファスシリコン堆積膜厚とその後の金属チタン堆積膜厚により、決定することができ、十分な厚みを得ることができる。このため十分にシート抵抗を下げるという効果を得ることができる。さらに、ソースとドレインの活性化処理によってシリサイドの形状が劣化して、シート抵抗のばらつきが増大するという問題もなくなる。

実施例

以下、本発明の一実施例について、図面を参照しながら説明する。第1図は、本発明の一実施例におけるMOSFETの工程断面図である。P型の半導体基板1にn型の井戸(以下、N-ウェルと記す)3を形成し、さらに、選択的にフィールド絶縁膜2を形成する。フィールド絶縁膜2に囲まれた活性領域に、ゲート酸化膜6を20nm形成

いる金属チタンを窒化して窒化チタン(TiN)9とする。さらに、ソースとドレインを形成するために、イオン注入法により、加速エネルギー15keVで、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ にて、ボロンイオンを全面に注入する(第1図C)。さらに、P型半導体基板表面をArイオンにより、スパッタリングし、同一真空装置内で、連続で、アモルファスシリコン10を60nm堆積する(第1図D)。つづいてフォトリソグラフィ工程と、異方性エッチング工程により、アモルファスシリコン10のパターニングを行う(第1図E)。さらに、P型半導体基板1の表面をArイオンにより、スパッタリングし、同一真空装置内で、連続に金属チタン71を30nm堆積する(第1図F)。窒素雰囲気中で、625℃のRTAを60秒間行うことにより、アモルファスシリコン10と接触する金属チタン7のみ、シリサイド化してチタンシリサイド81とし、残りの部分を窒化して窒化チタン91とする(第1図G)。続いて、硫酸と過酸化水素水($\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$)の混合液

した後、多結晶シリコン5を400nm堆積し、950℃の温度で30分間POC₂、拡散等によりリンドープした後、ゲート電極5としてパターニングする。さらにCVD法により、二酸化シリコンを250nm全面に堆積し、二酸化シリコン膜を250nm異方性エッチングすることにより、サイドウォールスペサ4を形成する(第1図A)。多結晶シリコンのゲート電極5の表面と、ソースとドレインとなるP型半導体基板表面の自然酸化膜を、たとえば、フッ酸(HF)と水(H_2O)を1:50にした液に60秒間のウェットエッチングと、真空中にアルゴン(Ar)を導入して高周波を印加し、ArイオンでP型半導体基板表面をスパッタリングすることにより除去し、同一真空装置内で、大気にさらすことなく連続で金属チタン7を50nm堆積する(第2図B)。

さらに、窒素雰囲気中で、625℃のRTAを60秒間行うことにより、シリコンと接触している金属チタンをシリサイド化してチタンシリサイド(TiSix)8とし、二酸化シリコンと接触して

により、選択的に、チタンシリサイド81のみを残し、窒化チタン91を除去し、窒素雰囲気中で、825℃のRTAを60秒間行うことにより、安定なチタングイシリサイド(TiSi₂)を形成し、抵抗値を下げる(第1図H)。さらに層間絶縁膜(多層)11をたとえば、CVD法により酸化シリコン膜を100nm、続いてCVD法により窒化シリコン膜を40nm、続いて、CVD法によりボロン(B)と磷(P)を含んだ酸化シリコン膜(BPSG)を500nm堆積することにより形成したのち、電気炉により900℃30分の熱処理を行い、ソース14とドレイン15の不純物の活性化と、層間絶縁膜11の平坦化を行う(第1図I)。さらに、フォトリソグラフィ工程と、異方性エッチング工程によりコンタクト開口部を開け、バリアメタル12として、たとえば、金属チタンを5nm、さらに、窒化チタンを100nm堆積し、続いて、シリコン(Si)を含んだアルミニウム13を700nm堆積し、フォトリソグラフィ工程と、異方性エッチング

工程により、上部配線を形成する(第1図J)。

以上のように形成された、MOSFETのゲート電極は、多結晶シリコン上部は、 $TiSi_2$ と TiN および $TiSi_2$ の3層構造となり、ソースとドレインの拡散層深さの制約を受けることなく、2回目のシリサイド化工程における、アモルファスシリコン堆積膜厚と、金属チタン堆積膜厚の選択により、十分に低抵抗化ができる。さらに、2層目のシリサイド層の膜厚を十分に厚くすることができるために、ソースとドレインの活性化熱処理によって、シリサイドの形状が劣化し、シート抵抗のばらつきが増大するという問題もない。

以上の実施例では、PMOSFETについて示したが、NMOSFETについても適用でき、また、CMOSFETにも適用できる。

発明の効果

以上のように本発明は、半導体基板表面に作り込まれたMOSFETのゲートとソースおよびドレインを自己整合的にシリサイド化することによ

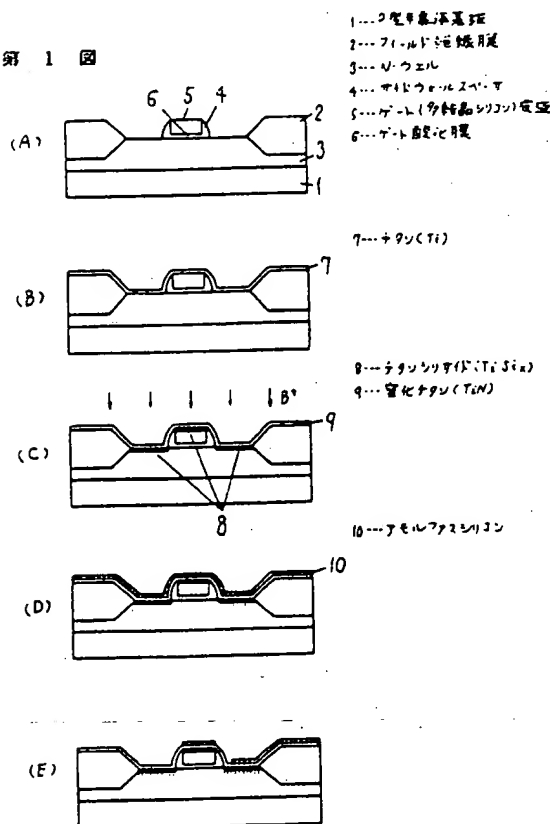
り低抵抗化し、高速化を図るという従来の技術の目的を損うことなく、1回の金属チタン堆積工程と、RTAによるシリサイド化工程の追加により、ソースとドレインの拡散層深さの制約を受けることなく、ゲート電極のみをさらに、ばらつきなく低抵抗化でき、半導体回路素子の高速化を図る効果がある。

4、図面の簡単な説明

第1図は本発明MOSFETの製造方法の実施例を示す工程断面図、第2図は従来のMOSFETの製造方法を示す工程断面図である。

1……P型半導体基板、2……フィールド絶縁膜、3……N-ウェル、4……サイドウォールスペーサ、5……ゲート(多結晶シリコン)電極、6……ゲート酸化膜、7……チタン(Ti)、8……チタンシリサイド($TiSi_2$)、9……窒化チタン(TiN)、10……アモルファスシリコン、11……層間絶縁膜、12……バリアメタル(TiN/Ti)、13……シリコンを含んだアルミニウム($Al-Si$)、14……ソース、15……ドレイン。

第1図



第1図

